

## Korean Patent Abstracts

(11) Publication Number : 1019990057380

(43) Date of publication of application: 15. 7.1999

---

(21) Application number: 1019970077431

(22) Date of filing: 29.12.1997

---

(71)Applicant: Hyundai Electronics Co., Ltd.

(72)Inventor : Hyo-shik PARK

(74)Attorney: Jeong-Hun LEE  
Kwon-Hee LEE

(51)Int'. Cl **H01L 29/78**

---

(54) **Method of manufacturing a MOSFET**

(57) Abstract:

Disclosed is a method of manufacturing a MOSFET. The MOSFET includes a spacer having variable thickness from on a sidewall of a gate of an N type transistor or a P type transistor so that the threshold voltage of the N type of the P type transistor may be properly adjusted. In addition, the effective channel length between a source region and a drain region to thereby preventing a punchthrough effect of the MOSFET. As a result, the reliability and the electrical characteristics of the MOSFET may be improved.

COPYRIGHT 2001 KIPO



특 1999-0057380

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> H01L 29/78	(11) 공개번호 (43) 공개일자	특 1999-0057380 1999년 07월 15일
(21) 출원번호	10-1997-0077431	
(22) 출원일자	1997년 12월 29일	
(71) 출원인	현대전자산업 주식회사 김영환	
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 박효식	
(74) 대리인	서울특별시 강동구 명일동 삼익 그린아파트 606-505 이정훈, 이권희	

심사청구 : 없음

(54) 모스 전계효과 트랜지스터의 제조방법

요약

본 발명은 모스 전계효과 트랜지스터의 제조방법에 관한 것으로, N형 트랜지스터 또는 P형 트랜지스터에서의 게이트전극 측벽에 형성되는 스페이서의 두께를 임의로 서로 다르게 형성함으로써 N웰 또는 P웰 트랜지스터의 문턱전압을 자유로이 조절할 수 있으며, 소오스/드레인영역의 유효채널길이 증가하여 트랜지스터의 편치쓰루 현상을 방지할 수 있어 소자의 전기적 특성 및 신뢰성을 향상시키는 기술에 관한 것이다.

도표도

도 1f

발명서

도면의 간단한 설명

도 1a 내지 도 1f 는 본 발명에 따른 모스 전계효과 트랜지스터의 제조공정도

<도면의 주요 부분에 대한 부호의 설명>

10 : 반도체 기판	12 : 소자분리 절연막
14 : 게이트절연막	16 : 제 1도전층
18 : 제 2도전층	20 : 하드마스크
22 : 저농도확산영역	24, 34 : 제 1스페이서용 절연막
28, 36 : 제 1스페이서	30, 40 : 고농도확산영역
32 : 제 2스페이서용 절연막	38 : 제 2스페이서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 모스 전계효과 트랜지스터의 제조방법에 관한 것으로, 특히 N형 또는 P형 트랜지스터에서의 게이트전극 측벽에 형성되는 스페이서의 두께를 서로 다르게 형성함으로써 N웰 또는 P웰 트랜지스터의 문턱전압을 자유로이 조절할 수 있는 기술에 관한 것이다.

반도체의 집적도가 높아짐에 따라 소자의 트랜지스터의 크기도 점점 작아지고 있고, 소자동작영역도 작아짐에 따라 트랜지스터의 제조방법도 다양해지고 있다.

반도체 디바이스는 수 많은 PMOS 트랜지스터와 NMOS 트랜지스터로 구성되어 있으며, 높은 구동능력을 위해 MOSFET의 문턱전압(threshold)이 제로에 가까운 것이 소자의 우수한 특성을 갖는다.

또한, 일반적인 CMOS 로직 회로에서는 PMOS 트랜지스터를 '하이(high)' 데이터를 읽고 쓰는데 사용하여 상기 높은 전류구동 능력을 위해서는 가능한한 PMOS 트랜지스터의 문턱전압을 낮게 가져가야 한다.

따라서, 트랜지스터의 크기와 소자동작영역이 작아짐에 따라 트랜지스터의 문턱전압 조절에 많은 어려움이 따르며, 소오스/드레인 전극 형성시 고농도의 불순물이 과도하게 확산되어 트랜지스터의 유효채널 길

이가 짧아져 편치 쓰루현상을 유발하여 소자의 전기적 특성을 저하시키는 문제점이 있다.

#### 발명이 이루고자 하는 기술적 과제

이에, 본 발명은 상기한 문제점을 해결하기 위한 것으로 N형 트랜지스터 또는 P형 트랜지스터에서의 게이트전극 측벽에 형성되는 스페이서의 두께를 임의로 서로 다르게 형성함으로써 N형 또는 P형 트랜지스터의 문턱전압을 자유로이 조절할 수 있으며, 소오스/드레인영역의 유효채널길이가 증가하여 트랜지스터의 편치쓰루 현상을 방지할 수 있어 소자의 전기적 특성 및 신뢰성을 향상시키는 모스 전계효과 트랜지스터의 제조방법을 제공하는데 그 목적이 있다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위해 본 발명에 따르면,

제 1웰영역과 제 2웰영역을 구비하는 반도체 기판 상부에 게이트절연막과 제 1도전층, 제 2도전층, 하드 마스크를 순차적으로 형성하는 공정과,

게이트전극용 마스크로 상기 반도체 기판이 노출될때 까지 식각하여 하드마스크패턴과 제 2도전층패턴이 적층되며 제 1도전층패턴과 게이트절연막패턴으로된 게이트전극을 형성하는 공정과,

상기 구조의 전표면에 제 1스페이서용 절연막을 형성하는 공정과,

상기 제 1스페이서용 절연막 상부에 감광막을 형성하되 제 1웰영역을 노출시키는 공정과,

제 1웰영역의 상기 게이트전극 측벽에 제 1스페이서를 형성하는 공정과,

제 1웰영역에 제 1MOSFET을 형성하는 공정과,

상기 구조의 전표면에 제 2스페이서용 절연막을 형성하는 공정과,

상기 제 2스페이서용 절연막 상부에 감광막을 형성하되 제 2웰영역을 노출시키는 공정과,

제 2웰영역의 상기 게이트전극 측벽에 2중 구조의 제 1,2스페이서를 형성하는 공정과,

제 2웰영역에 제 2MOSFET을 형성하는 공정을 포함하는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 모스 전계효과 트랜지스터의 제조방법에 대하여 상세히 설명을 하기로 한다.

도 1a 내지 도 1f 는 본 발명에 따른 모스 전계효과 트랜지스터의 제조공정도이다.

먼저, 반도체 기판(10) 상부에 소자분리를 위한 소자분리 절연막(12)을 형성한 다음, 불순물 임플란트 공정을 실시하여 N웰영역(a)과 P웰영역(b)을 형성한다.

다음, 상기 반도체 기판(10) 상부에 산화막 재질의 게이트절연막(14)과 고농도 도핑된 폴리실리콘막의 제 1도전층(16), 실리사이드막의 제 2도전층(18), 질화막의 하드마스크(20)를 순차적으로 형성한다.

이 때, 상기 하드마스크(20)는 상기 제 2도전층(18)의 실리사이드막에 의한 난반사를 억제하기 위해 형성한다.

그 다음, 게이트전극용 마스크로 상기 반도체 기판(10)이 노출될때 까지 식각하여 하드마스크(20)패턴과 제 2도전층(18)패턴이 적층되며 제 1도전층(16)패턴과 게이트절연막(14)패턴으로된 게이트전극을 순차적으로 형성한다.

다음, 저농도 임플란트 공정을 실시하여 상기 게이트전극 양측의 반도체 기판(10)에 저농도 확산영역(22)을 형성한다.(도 1a 참조)

그 다음, 상기 구조의 전표면에 산화막 재질의 제 1스페이서용 절연막(24)을 형성한다.(도 1b 참조)

다음, 상기 제 1스페이서용 절연막(24) 상부에 감광막(26)을 형성한 후 N웰영역(a)을 노출시킨다(도 1c 참조)

그 다음, N웰영역(a)에서 상기 제 1스페이서용 절연막(24)을 전면식각하여 상기 게이트전극 측벽에 제 1스페이서(28)를 형성한 다음, 고농도 임플란트 공정을 실시하여 상기 저농도 확산영역(22)과 중첩되는 고농도 확산영역(30)을 형성하여 제 1MOSFET을 형성한다.

이 때, 상기 전면식각 공정시 반도체 기판(10)의 표면에 손상된 부분을 보상하기 위해 열산화공정을 실시한다.

또한, 고농도 임플란트 공정시 P웰영역(b)에서 식각되지 않은 상기 제 1스페이서용 절연막(24)이 마스크 역할을 하게 된다.(도 1d 참조)

다음, 상기 구조의 전표면에 산화막 재질의 제 2스페이서용 절연막(32)을 형성한 다음, 전표면에 감광막(34)을 형성하되 P웰영역(b)을 노출시킨다.

이 때, P웰영역(b)의 스페이서 두께가 N웰영역(a)의 스페이서 두께 보다 두껍게 형성된다.(도 1e 참조)

다음, P웰영역(b)의 상기 제 1,2스페이서용 절연막(24, 32)을 전면식각하여 상기 게이트전극 측벽에 2중 구조의 제 1,2스페이서(36, 38)를 형성한다.

이 때, 상기 전면식각 공정시 반도체 기판(10)의 표면에 손상된 부분을 보상하기 위해 열산화공정을 실시한다.

다음, 상기 P웰영역(b)에 고농도 임플란트 공정을 실시하여 상기 저농도 확산영역(22)과 중첩되는 고농도 확산영역(40)을 형성하여 제 2MOSFET을 형성한다.

상기한 바와 같이 N웰영역(a)에서의 게이트전극 측벽에 형성된 스페이서 보다 P웰영역(b)에서의 게이트전극 측벽에 형성된 스페이서가 두껍게 형성됨으로서 N웰 또는 P웰 트랜지스터의 문턱전압을 자유로이 조절할 수 있다.(도 1f 참조)

#### 발명의 효과

상기한 바와같이 본 발명에 따르면, MOS 트랜지스터 제조방법에 있어서 N웰영역 또는 P웰영역에서의 게이트전극 측벽에 형성되는 스페이서의 두께를 서로 다르게 형성함으로써 N웰 또는 P웰 트랜지스터의 문턱전압을 자유로이 조절할 수 있으며, 소오스/드레인영역의 유효채널길이가 증가하여 트랜지스터의 편치쓰루 현상을 방지할 수 있어 소자의 전기적 특성 및 신뢰성을 향상시키는 이점이 있다.

#### (57) 청구의 범위

청구항 1. 제 1웰영역과 제 2웰영역을 구비하는 반도체 기판 상부에 게이트절연막과 제 1도전층, 제 2도전층, 하드마스크를 순차적으로 형성하는 공정과,

게이트전극용 마스크로 상기 반도체 기판이 노출될때 까지 식각하여 하드마스크패턴과 제 2도전층패턴이 적층되며 제 1도전층패턴과 게이트절연막패턴으로된 게이트전극을 형성하는 공정과,

상기 구조의 전표면에 제 1스페이서용 절연막을 형성하는 공정과,

상기 제 1스페이서용 절연막 상부에 감광막을 형성하되 제 1웰영역을 노출시키는 공정과,

제 1웰영역의 상기 게이트전극 측벽에 제 1스페이서를 형성하는 공정과,

제 1웰영역에 제 1MOSFET을 형성하는 공정과,

상기 구조의 전표면에 제 2스페이서용 절연막을 형성하는 공정과,

상기 제 2스페이서용 절연막 상부에 감광막을 형성하되 제 2웰영역을 노출시키는 공정과,

제 2웰영역의 상기 게이트전극 측벽에 2중 구조의 제 1,2스페이서를 형성하는 공정과,

제 2웰영역에 제 2MOSFET을 형성하는 공정을 포함하는 것을 특징으로 하는 모스 전계효과 트랜지스터의 제조방법.

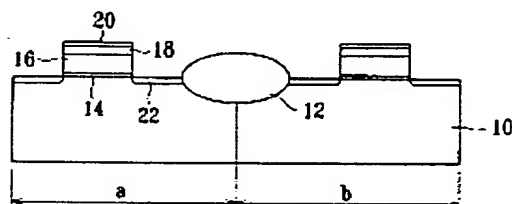
청구항 2. 제 1 항에 있어서, 상기 제 1웰영역은 N 웰로 형성되며, 제 2웰영역은 P 웰로 형성된 것을 특징으로 하는 모스 전계효과 트랜지스터의 제조방법.

청구항 3. 제 1 항에 있어서, 상기 제 2도전층은 실리사이드막으로 형성되며, 상기 하드마스크는 질화막으로 형성된 것을 특징으로 하는 모스 전계효과 트랜지스터의 제조방법.

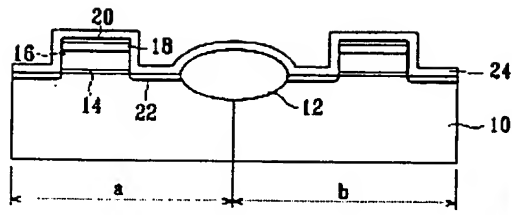
청구항 4. 제 1 항에 있어서, 상기 제 1웰영역과 제 2웰영역에서 게이트전극 측벽의 스페이서용 절연막의 두께를 서로 다르게 형성하여 상호 문턱전압을 조절하는 것을 특징으로 하는 모스 전계효과 트랜지스터의 제조방법.

#### 도면

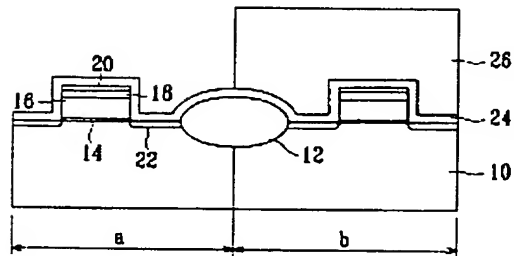
도면 1a



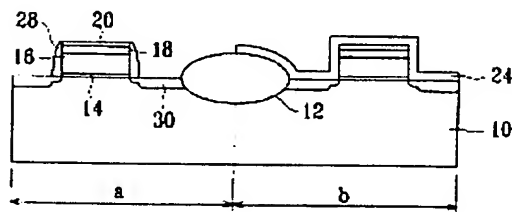
도면 1b



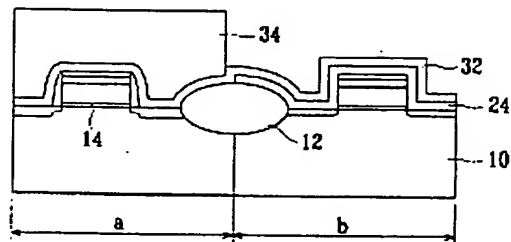
도면 1c



도면 1d



도면 1e



도 11

